

Министерство образования и науки Российской Федерации  
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ  
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ «САРАТОВСКИЙ  
НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ГОСУДАРСТВЕННЫЙ  
УНИВЕРСИТЕТ ИМЕНИ Н.Г. ЧЕРНЫШЕВСКОГО»

Кафедра физики твердого тела

**РАЗРАБОТКА ГРАФИЧЕСКОГО ПРОГРАММНО – АППАРАТНОГО  
ВИДЕОАДАПТЕРА НА ОСНОВЕ МИКРОПРОЦЕССОРА ОБЩЕГО  
НАЗНАЧЕНИЯ**

**АВТОРЕФЕРАТ БАКАЛАВРСКОЙ РАБОТЫ**

студента 4 курса 411 группы

по направлению 11.03.04 «Электроника и наноэлектроника»

Факультета нано- и биомедицинских технологий

Кашеедова Кирилла Александровича

Научный руководитель

д. ф. - м. н., профессор

должность, уч. степени, уч задание

А.А. Семенов

подпись, дата

инициалы, фамилия

Зав. кафедрой физики твердого тела

д. ф. - м. н., профессор

должность, уч. степени, уч задание

Д. А. Усанов

подпись, дата

инициалы, фамилия

Саратов 2017

## ВВЕДЕНИЕ

Целью данной работы является разработка аппаратно простой схемы графического видеоадаптера для использования в учебных ЭВМ в процессе практических работ по дисциплинам, связанных со схемотехникой ЭВМ.

Актуальность данной темы заключается в том, что микропроцессор КР580В80А является удобным процессором для изучения в курсах посвящённым микропроцессорным системам, он является более простым, чем микропроцессор Z80, и он не содержит в себе так называемые регистр регенерации, счетчики и контроллер прямого доступа к памяти, которые используются в рассмотренных ранее системах для формирования изображения. Поэтому было принято решение разработать графический видеоконтроллер с участием микропроцессора на основе отечественного ЦПУ КР580ВМ80А, который в лабораторных условиях является учебным.

В конце работы представлены результаты моделирования, текстовое программное обеспечение для памяти. Для моделирования схемы используем программный пакет «Моделирование и анализ микропроцессорных систем» предназначенный для изучения, разработки и отладки систем и может быть использован при организации лабораторных работ по дисциплинам: «Микропроцессорные системы» и «Схемотехника ЭВМ». Данный пакет содержит в себе библиотеку элементов, которая включает в себя БИС микропроцессорного комплекта К580, набор цифровых логических элементов, эмуляторы внешних устройств, средства программной и аппаратной отладки исследуемых устройств.

## ПРИНЦИП ДЕЙСТВИЯ ВИДЕОСИСТЕМЫ

В процессе работы в лабораторном практикуме по микропроцессорным системам конструируется простая микропроцессорная система, которая включает в себя микропроцессор с задающим генератором, в состав микропроцессорной системы входят ПЗУ, ОЗУ, а также в состав системы входят порт ввода/вывода и программируемый интервальный таймер.

В качестве видеоподсистемы в микропроцессорном комплекте 580 обычно используется алфавитно-цифровой контроллер дисплея типа КР580ВГ75 в совокупности с контроллером Прямого Доступа к Памяти (ПДП) КР580ВН59. Разумеется, говорить о полноценном отображении графической информации на таких видеосистемах невозможно, поскольку используемые дисплеи были алфавитно-цифровыми. При весьма серьезном усложнении схемы разрабатываемого контроллера, БИС контроллера ЭЛТ КР580ВГ75 и контроллера ПДП обеспечивают выведение на экран только алфавитно-цифровой информации.

### МИКРОСХЕМА КР580ВМ80А

Микросхема КР580ВМ80А представляет собой однокристалльный 8-разрядный микропроцессор с фиксированной системой команд, выполненный по n-канальной МОП технологии. Микропроцессор имеет 16-разрядный канал передачи адресов и 8-разрядный канал данных. Канал адресов обеспечивает адресации памяти объемом до 64 Кбайт, адресацию 256 устройств ввода и 256 устройств вывода. Микропроцессор содержит внутреннее регистровое ОЗУ с организацией 6x8 или 3x16, регистры которого могут использоваться программой, а также средства, позволяющие организовать в любой зоне внешней оперативной памяти (или как отдельное ЗУ) стек объемом до 64 Кбайт. Это позволяет обрабатывать подпрограммы практически с неограниченным числом вложений.

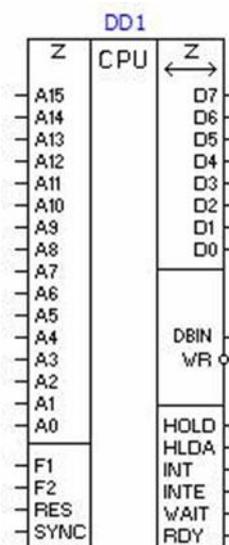


Рис. 1 Микросхема КР580ВМ80А

Микропроцессор имеет средства обслуживания запросов прерываний, средства управления в режимах ожидания и прямого доступа к памяти, что позволяет ему осуществлять обмен с внешними устройствами почти любого быстродействия.

Конструктивно микросхема выполнена в пластмассовом корпусе с 40 выводами.

## МИКРОСХЕМА КР580ВИ53

Микросхема КР580ВИ53 - трехканальное программируемое устройство (таймер), предназначенное для организации работы микропроцессорных систем в режиме реального времени. Микросхема формирует сигналы с различными временными параметрами.

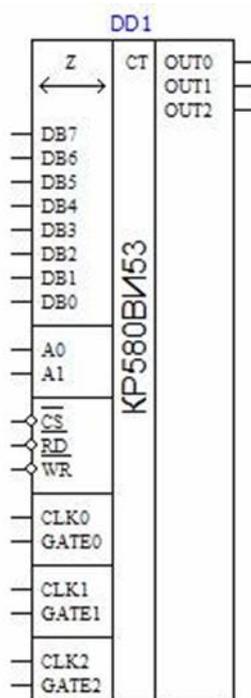


Рис. 2 Микросхема КР580ВИ53

Программируемый таймер реализован в виде трех независимых 16-разрядных каналов с общей схемой управления. Каждый канал может работать в шести режимах. Программирование режимов работы каналов осуществляется индивидуально и в произвольном порядке путем ввода управляющих слов в регистры режимов каналов, а в счетчики - запрограммируемого числа байтов.

Управляющее слово определяет режим работы канала, тип счета (двоичный или двоично-десятичный), формат чисел (одно или двухбайтовый). Обмен информацией с микропроцессором осуществляется по 8-разрядному двунаправленному каналу данных (DB7-DB0).

Максимальное значение счета: в двоичном коде - 2, в двоично-десятичном коде - 10. Частота синхронизации каналов 2.5КГц.

На рисунке 2 приведено условное графическое обозначение микросхемы.

## ДИСПЛЕЙ

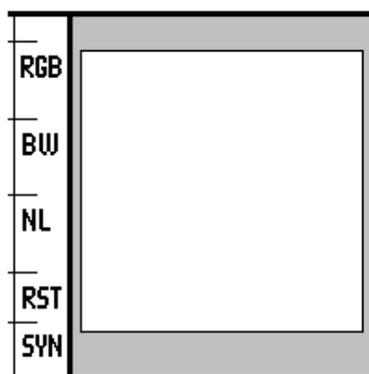


Рис. 3 Дисплей

Растровый дисплей, позволяющий отображать цветные и черно-белые изображения. Изображение рисуется построчно, причем в каждой строке последовательно выводятся пиксели, начиная от левого. Изображение отображается в отдельном окне, но может также выводиться в самом УГО элемента.

## КОМАНДА NOP

Команда является пустой операцией. Микропроцессор не выполняет здесь каких-либо полезных действий по обработке данных, а просто затрачивает некоторое время для различных служебных переключений во время четырех машинных тактов. Зная длительность машинного такта (равная длительности периода тактовых сигналов F1 и F2 из тактового генератора), можно с помощью некоторого количества команд NOP получить нужную задержку по времени выполнения программы.

Команду NOP часто используют для пространственного заполнения программы. Если появляется необходимость ввести в программу дополнительную команду, то ее размещают взамен команд NOP, записанных в нужном месте программы.

## МОДЕЛИРОВАНИЕ

Основной задачей процессора в данном случае является управление светодиодными индикаторами и слежение за единственной кнопкой ввода.

Программируемый интервальный таймер KP580ВИ53, в определенный момент, соответствующий кадровому синхроимпульсу, он подает сигнал на вход INT процессора, тем самым сообщая процессору о начале формирования изображения и процессор переходит на адрес прерывания 0038H, откуда управление передается на начало видео-ОЗУ.

При обращении к адресу начала видео-ОЗУ, Процессор, перебирая адреса, будет работать так, как будто в нашей схеме присутствуют счетчики байтов изображения по строке и самих строк.

Следовательно, наша система формирует вывод изображения на экран только за счет работы адресной шины микропроцессора, при полном отсутствии в схеме счетчиков и контроллера прямого доступа к памяти.

Для моделирования рабочей схемы нашего видеоадаптера был использован программный пакет Digital Analyzer, позволяющий проанализировать работу сконструированной микропроцессорной системы.

Алгоритм формирования видеосигнала, будет иметь следующий вид:

1. Процессор выполняет текущую программу;
2. Поступает сигнал INT — прерывание по кадровому синхроимпульсу поступающего с интервалом 64 мкс;
3. Процессор заканчивает текущую операцию (от 4 до 18 тактов);
4. Прерывания запрещаются (INTE = «0») и запускается одновибратор на ~ 30 тактов;
5. Управление передается на вектор 0038H (RST7 = 0FFH), адрес возврата заносится в стек;
6. Последняя операция по обслуживанию прерывания — JMP 0C000H (10 тактов);
7. Срабатывает селектор диапазона 0C000H—0EFFFFH;
8. Если прерывания запрещены (INTE = «0»), селектор диапазона отключает ШД ЦПУ от ШД ОЗУ и включает схему, останавливающую процессор по входу READY. Если прерывания НЕ запрещены (INTE = «1»), селектор диапазона не влияет на работу процессора — это просто обращение к видео-ОЗУ;
9. Процессор выполняет такты ожидания при активном выходе WAIT при этом на ША активен адрес 0C000H (начало видео-ОЗУ), на ШД — выставлен код и активен сигнал /DBIN (/READ), что обычно приводит к параллельной записи в регистр сдвига, эта ситуация блокируется до начала п.9;
10. Приходит импульс одновибратора (или строчный импульс), перебрасывающий триггер, удерживающий процессор по входу READY. Снимается сигнал на выходе WAIT, и процессору разрешается выполнять код строки, а блокировка записи в регистр сдвига снимается;
11. Процессор начинает исполнять по строкам NOP-ы и код гашения в видео-ОЗУ;
12. Последняя строка видео-ОЗУ должна содержать код разрешения прерывания EI и переход JMP 0F000H;
13. Переход на адрес 0F000H отключает селектор диапазона 0C000H—0EFFFFH, и должен содержать код возврата из прерывания — RET;
14. Процессор возвращается к прерванной программе.

Присутствие буферного регистра обеспечивает нагрузочную способность, что является важной особенностью в нашей схеме, добавляя в схему программируемый интервальный таймер, настраиваем его на частоту строчной развертки, в определенный момент он подает сигнал на процессор по входу

INT, тем самым говоря процессору о начале формирования изображения. Обращаясь к адресу 9000H по прерыванию, благодаря вспомогательным микросхемам процессор отключается от шины данных, он не получает из памяти данных. Подключив на все выводы шины данных микропроцессора KP580BM80A резисторы, подключенные к общей шине, мы вынуждаем микропроцессор выполнять команду NOP, обращаясь к следующему адресу. Процессор, перебирая адреса, будет работать так, как будто в нашей схеме присутствуют счетчики байтов изображения по строке и самих строк.

Следовательно, наша система формирует вывод изображения на экран только за счет адресной шины микропроцессора, при полном отсутствии в схеме счетчиков, контроллера прямого доступа к памяти и регистра регенерации.

Принципиальную электрическую схему построенного нами формирователя изображения можно увидеть ниже и соответствующее программное обеспечение на языке ассемблера.

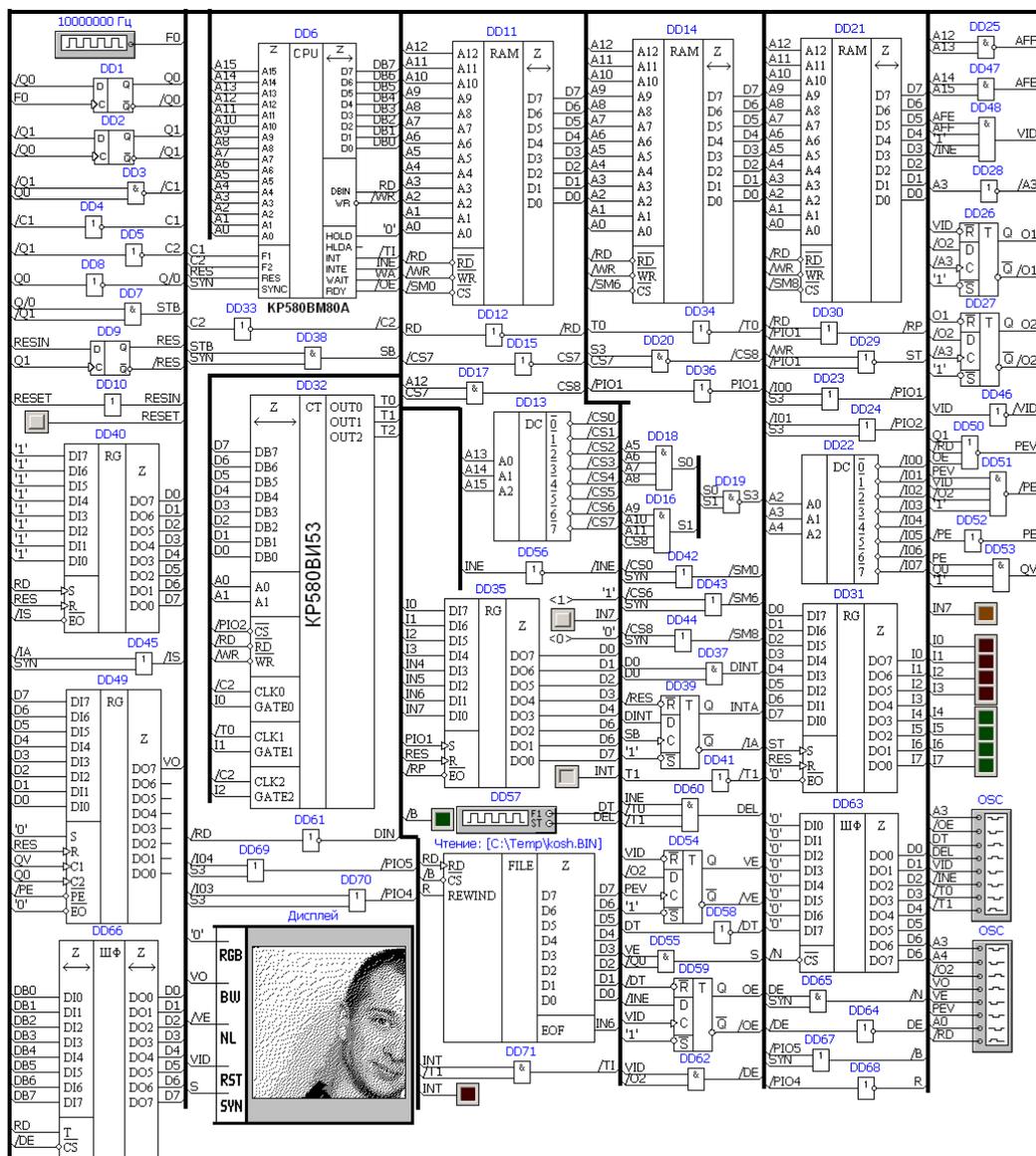


Рис. 4 Схема электрическая принципиальная микропроцессорной системы со встроенным видеоадаптером

## Ассемблерный листинг управляющей программы:

```
ORG 0000H

CONSTPORTOUT 0FFE0h
CONSTPORTINP 0FFE1h

CONSTTIMER_0 0FFE4h
CONSTTIMER_1 0FFE5h
CONST TIMER_2 0FFE6h
CONST TIMERYC 0FFE7h

:START
LXI SP,1FFFH
XRA A
STA PORTOUT; таймер изначально выключен
CALL INITMR
LDAPORTINP; читаем порт
ORI 00000111B; установим биты упр.таймера
STA PORTOUT; выведем в порт
; CALL GETBIN
:WAITKEY
LDA 0C000H
STA 0C000H

:WAITIT
LDA PORTINP
ANI 80H
JZ WAITIT

:WAITUP
LDA PORTINP
ANI 80H
JNZ WAITUP
JMP MAINLOOP
SKIP 38H

:REST7
; EI; Restart_7 = 0038H
; HLT
; JMP REST7
JMP 0C000H; видео-ОЗУ
SKIP 100H

:MAINLOOP
; EI
:INIRGE
MVI E,00001000B
:GETBYTE
LDA PORTINP; читаемпорт
ANI 00000111B; выделяем биты упр.таймера
ORA E; установим бит пробега
STA PORTOUT; выведем в порт
MOV A,E
ORA A
RLC
JC RSHIFT
MOV E,A

LDA PORTINP
ANI 80H
JNZ WAITIT
; LXI B,01FFH
; CALL DELAY
JMP GETBYTE

:RSHIFT
```

```

MVI E,80H
:SETBYTE
LDA PORTINP; читаем порт
ANI 00000111B; выделяем биты упр.таймера
ORA E; установим бит пробега
STA PORTOUT; выведем в порт
MOV A,E
RRC
CPI 00000100B;
JZ INIRGE
MOV E,A

LDA PORTINP
ANI 80H
JNZ WAITKEY
; LXI B,01FFH
; CALL DELAY
JMP SETBYTE

:DELAY
DCX B
MOV A,B
ORA C
JNZ DELAY
RET

:INITMR
LXI H,TIMERYC;HL ->ПУСтаймера
MVI M,34H; 00_11_010_0 - УС К.0
MVI M,74H; 01_11_010_0 - УС К.1
MVI M,0B6H; 10_11_000_0 - УС К.2 (не используем пока)
EI
;-----
DCX H; укажем на Канал 2: - 440 Гц
MVI M,0C1H; Делитель К.2:
MVI M,11H; = 4545 = 11C1H
;-----
DCX H; укажем на Канал 1:
MVI M,1FH; Делитель К.1:
MVI M,00H; 31 = 001FH кадровая быстрее в 10 раз
;-----
DCX H; укажем на Канал 0 - 15625 Гц
MVI M,0A0H; Делитель К.0:
MVI M,00H; = 160 = 00A0H
RET

:GETBIN
LXI H,0C000H; начало экрана
LXI D,0010H; смещение к след.строке
LXI B,20FFH; размер файла
:GET0
LDA 0FFF0H; читаем байт из файла
MOV M,A; помещаем в видео-ОЗУ
INX H; и так весь файл...
DCR B
JNZ GET0
MVI B,20H
DAD D
DCR C
JNZ GET0
LDA 0FFE7H; REWIND - указатель на начало файла
RET

END

```

Видео-ОЗУ сформатировано так:

```
Код:
  ORG 0C000H
:M000
  DR 20h, 00h ; 32 байта - видео-стока
  JMP T001; 10 clock (3) обратный ход по строке
;DB 00H,00H; NOP (4)---1
:T001
DB 00H,00H,00H; NOP(4),NOP(4),NOP(4)
JMP M001; 10 clock ... 22
  DR 07h, 00h ; не используется
:M001
DR 20h, 00h
  JMP T002; 10 clock (3)
;DB 00H,00H; NOP (4)---1
:T002
DB 00H,00H,00H; NOP(4),NOP(4),NOP(4)
  JMP M002; 10 clock ... 22
DR 07h, 00h
:M002
DR 20h, 00h
  JMP T003; 10 clock (3)
;DB 00H,00H; NOP (4)---1
:T003
DB 00H,00H,00H; NOP(4),NOP(4),NOP(4)
JMP M003; 10 clock ... 22
DR 07h, 00h
:M003

; ит.д.

:M255
DR 20h, 00h
JMP T256; 10 clock (3)
;DB 00H,00H; NOP (4)---1
:T256
DB 00H,00H; NOP(4),NOP(4)
EI ; разрешим прерывания
  JMP M256; переход ЗА видео-ОЗУ 10 clock ... 22
  DR 07h, 00h
:M256
;---0F000H
RET ; ADDR 0F000H - возврат из прерывания по кадру.
```

## **ЗАКЛЮЧЕНИЕ**

В результате проделанной работы была разработана модель графического видеоконтроллера на основе особенности работы микропроцессора КР580ВМ80. Предложенное техническое решение не имеет технических аналогов в известной литературе и может представить собой предмет изобретения и патентования.

Результаты дипломной работы могут быть рекомендованы к внедрению в лабораторном практикуме кафедры физики твердого тела по изучению дисциплин связанных с разработкой микропроцессорных систем. Следует отметить, что принцип положенный в основу данной разработки характерен для большинства микропроцессоров шинной структуры и может быть рекомендован к применению при разработке простых цифровых систем.

## БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Павлов В. А. Видеоадаптеры ПК. Учебное пособие. Саров, СарФТИ, 2004. 291с.: ил.
2. Попов С.Н. Аппаратные средства мультимедиа. Видеосистема РС/ Под ред. О.В. Колесниченко, И.В. Шишигина - СПб: БХВ-Петербург; Арлит. 2000. - 400с.: ил.
3. Павлов В.А. Устройства отображения информации ПК. Учебно-справочные материалы. СарФТИ, Саров. 2003. - 305 с.: ил.
4. ТПП "Сфера" авторский коллектив. Аппаратные средства ПЭВМ. Справочное руководство по IBM PC. Часть 2 - Москва. ПЭМ 1991. - 301с.: ил.
5. РСBOOK - Аппаратные средства РС. - Материалы на электронном носителе в среде MS DOS.
6. Воронов М.А., Родин А.В., Тюнин Н.А. Ремонт мониторов. Выпуск 12. 2-е издание. Москва: "СОЛОН-Р" 2000. - 299с.: ил.
7. Денисов О., Назаров С. Графические процессоры // PC Magazine/Russian Edition (Компьютер сегодня), 2002, №6. - С. 48-65.
8. Изучение БИС параллельного периферийного адаптера: учеб. пособие / А. А. Семёнов; Сарат. гос. ун-т им. Н. Г. Чернышевского. - Саратов: Изд-во Сарат. ун-та, 2006. – 43 с. (В НБ СГУ 21 экз.)
9. Изучение БИС программируемого интервального таймера: учеб. пособие / А. А. Семёнов; Сарат. гос. ун-т им. Н. Г. Чернышевского. - Саратов: Изд-во Сарат. ун-та, 2006. - 35 с. (В НБ СГУ 21 экз.)
10. Справочник. Под редакцией В.А. Шахнова. Справочное издание. Москва: Издательство «Радио и связь». Редакция литературы по электронной технике, 1988. – 512 с.: ил.

11. Интернет-ресурс Публичная Библиотека, Микропроцессоры. В 3-х книгах. Книга 1. Архитектура и проектирование микро-ЭВМ. Организация вычислительных процессов. Под редакцией Л.Н.Преснухина. [http://publ.lib.ru/ARCHIVES/\\_CLASSES/TEH\\_RAD\\_KOM/\\_Teh\\_rad\\_kom\\_otdel'nye\\_izdaniya.html](http://publ.lib.ru/ARCHIVES/_CLASSES/TEH_RAD_KOM/_Teh_rad_kom_otdel'nye_izdaniya.html) (дата обращения: 18.06.2017)
12. Интернет-ресурс Архив журнала Моделист-Конструктор. ВАШ ПОМОЩНИК – КОМПЬЮТЕР. А. ВОЛКОВ, г. Днепродзержинск, Днепропетровская обл. [http://hobbyport.ru/mk\\_other/electronics/8702\\_specialist.htm](http://hobbyport.ru/mk_other/electronics/8702_specialist.htm) (дата обращения: 17.06.2017)
13. Интернет-ресурс GALAKSIJA: POPULATED MOTHERBOARD. Avian's Blog. [https://www.tablix.org/~avian/blog/archives/2007/01/galaksija\\_populated\\_motherboard/](https://www.tablix.org/~avian/blog/archives/2007/01/galaksija_populated_motherboard/) (дата обращения: 18.06.2017)
14. Интернет-ресурс SINCLAIR ZX WORLD. RESOURCES FOR THE SINCLAIR ZX80 AND ZX81 HOME COMPUTERS. [http://www.sinclairzxworld.com/about\\_zx80\\_zx81\\_computers.html](http://www.sinclairzxworld.com/about_zx80_zx81_computers.html) (дата обращения: 18.06.2017)
15. Интернет-ресурс ВИДЕОАДАПТЕРЫ. УСТРОЙСТВО ВИДЕОКАРТЫ. [http://nischiy.narod.ru/pc\\_hardware/7\\_VideoAdapters\\_part1.htm](http://nischiy.narod.ru/pc_hardware/7_VideoAdapters_part1.htm) (дата обращения: 17.06.2017)
16. Интернет-ресурс МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ. <https://course.sgu.ru/course/view.php?id=88> (дата обращения: 17.06.2017)
17. Интернет-ресурс Принципы программного управления. Программируемые контроллеры для микропроцессорных систем. Организация ввода-вывода в микропроцессорных системах. Контроллер алфавитно-цифрового дисплея KP580BГ75. <https://course.sgu.ru/course/view.php?id=88> (дата обращения: 18.06.2017)

18. Интернет-ресурс ПРИНЦИПЫ ПОСТРОЕНИЯ ЦИФРОВЫХ  
ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ. DIGSYS9\_CDMA\_CRT.PPT.  
<https://course.sgu.ru/mod/folder/view.php?id=28224> (дата обращения:  
18.06.2017)
19. Микропроцессорные системы. Лекции 9-10. Контроллер алфавитно-  
цифрового дисплея. Контроллеры дисковых систем памяти.  
<https://course.sgu.ru/course/view.php?id=88> (дата обращения: 18.06.2017)